

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Sang-Il PARK, *et al.*

Art Unit: TBD

Appl. No.: To Be Assigned

Examiner: TBD

Filed: Concurrently Herewith

Atty. Docket: 6161.0074.US

For: **FLAT PANEL DISPLAY**

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

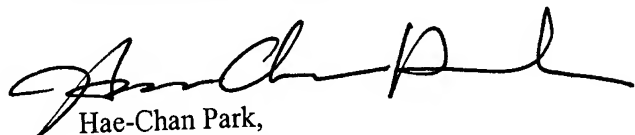
Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	10-2002-0061082	October 7, 2002
KOREA	10-2003-0024508	April 17, 2003

A certified copy of Korean Patent Application No. 10-2002-0061082 and 10-2003-0024508 is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,


Hae-Chan Park,
Reg. No. 50,114

Date: September 30, 2003

McGuireWoods LLP
1750 Tysons Boulevard, Suite 1800
McLean, VA 22102
Telephone No. 703-712-5365
Facsimile No. 703-712-5280

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

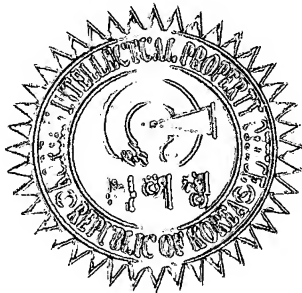
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0061082
Application Number

출원년월일 : 2002년 10월 07일
Date of Application OCT 07, 2002

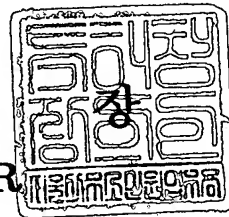
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 04 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】

특허출원서

【권리구분】

특허

【수신처】

특허청장

【제출일자】

2002.10.07

【발명의 명칭】

소형 고해상도 평판표시장치

【발명의 영문명칭】

Flat panel display with small size and high resolution

【출원인】

【명칭】

삼성에스디아이 주식회사

【출원인코드】

1-1998-001805-8

【대리인】

【성명】

박상수

【대리인코드】

9-1998-000642-5

【포괄위임등록번호】

2000-055227-0

【발명자】

【성명의 국문표기】

박상일

【성명의 영문표기】

PARK, SANG IL

【주민등록번호】

750320-1042314

【우편번호】

158-074

【주소】

서울특별시 양천구 신정4동 983-12호

【국적】

KR

【발명자】

【성명의 국문표기】

구재본

【성명의 영문표기】

KOO, JAE BON

【주민등록번호】

720706-1767718

【우편번호】

449-846

【주소】

경기도 용인시 수지읍 풍덕천리 풍림아파트 105동 504호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
박상수 (인)

출력 일자: 2003/5/2

1020020061082

【수수료】		
【기본출원료】	20 면	29,000 원
【가산출원료】	2 면	2,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	8 항	365,000 원
【합계】	396,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 단위화소당 유기전계 발광소자를 통해 흐르는 전류량을 제어하여 적절한 휘도 및 장수명화를 얻을 수 있는 유기전계 발광표시장치에 관한 것이다.

본 발명의 액티브 매트릭스 유기전계 발광표시장치는 유기전계 발광소자와; 데이터 신호를 전달하기 위한 스위칭 트랜지스터와; 상기 데이터신호에 따라서 상기 유기전계 발광소자를 통해 일정량의 전류가 흐르도록 상기 유기전계 발광소자를 구동하는 구동트랜지스터를 포함하며, 상기 구동 트랜지스터의 저항값을 변화시켜 상기 유기전계 발광소자를 통해 흐르는 전류를 제어하는 것을 특징으로 한다.

본 발명의 액티브 매트릭스 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 게이트와 고농도 드레인영역사이의 반도체층에 고저항영역을 형성하거나, 게이트전극을 멀티플 게이트로 형성하고 이들 멀티플 게이트사이의 반도체층에 고저항영역을 형성하거나 또는 고농도 드레인영역의 기하학적인 구조를 변경하여 구동 트랜지스터의 저항값을 변경시켜 줌으로써, EL소자를 통해 흐르는 전류량을 제어하여 소형 고해상도에 적합한 휘도를 얻을 수 있다.

【대표도】

도 3b

【명세서】

【발명의 명칭】

소형 고해상도 평판표시장치{Flat panel display with small size and high resolution}

【도면의 간단한 설명】

도 1은 일반적인 액티브 매트릭스 유기전계 발광표시장치에 있어서, 단위화소에 대한 등가회로도,

도 2는 종래의 액티브 매트릭스 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 단면구조를 도시한 도면,

도 3a는 본 발명의 제1실시예에 따른 액티브 매트릭스 유기전계 발광표시장치용 구동트랜지스터의 단면구조도,

도 3b는 본 발명의 제1실시예에 따른 액티브 매트릭스 유기전계 발광표시장치용 구동 트랜지스터의 평면구조도,

도 4a는 본 발명의 제2실시예에 따른 액티브 매트릭스 유기전계 발광표시장치용 구동 트랜지스터의 단면구조도,

도 4b는 본 발명의 제2실시예에 따른 액티브 매트릭스 유기전계 발광표시장치용 구동 트랜지스터의 평면구조도,

도 5a는 본 발명의 제3실시예에 따른 액티브 매트릭스 유기전계 발광표시장치용 구동 트랜지스터의 단면구조도,

도 5b는 본 발명의 제3실시예에 따른 액티브 매트릭스 유기전계 발광표시장치용 구동 트랜지스터의 평면구조도,

도 6a는 본 발명의 제4실시예에 따른 액티브 매트릭스 유기전계 발광표시장치용 구동 트랜지스터의 단면구조도,

도 6b는 본 발명의 제4실시예에 따른 액티브 매트릭스 유기전계 발광표시장치용 구동 트랜지스터의 평면구조도,

도 7은 유기전계 발광표시장치에 있어서, 게이트 전압에 대한 구동트랜지스터의 구동전류를 나타낸 도면,

도면의 주요 부분에 대한 부호의 설명

300, 400, 500, 600 : 절연기판

310, 410, 510, 610 : 버퍼층

320, 420, 520, 620 : 반도체층

323, 423, 523, 623 : 고농도 소오스영역

327, 429, 427, 527 : 고저항영역

325, 425, 525, 625 : 고농도 드레인영역

340, 440, 540, 640 : 게이트

330, 430, 530, 630 : 게이트 절연막

350, 450, 550, 650 : 층간 절연막

351, 355, 451, 455, 551, 555, 651, 655 : 소오스/드레인전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <23> 본 발명은 액티브 매트릭스형 평판표시장치에 관한 것으로서, 보다 상세하게는 단위 화소당 유기전계 발광소자(EL)를 통해 흐르는 전류량을 제어하여 장수명화할 수 있는 소형 고해상도 유기전계 발광표시장치에 관한 것이다.
- <24> 평판표시장치인 액티브 매트릭스형 유기전계 발광표시장치(AMOLED)는 점차 고해상도 패널이 요구되는데, 유기전계 발광소자와 상기 유기전계 발광소자를 구동하기 위한 구동 트랜지스터의 특성상 고해상도 패널을 제작하는데 많은 어려움이 있었다.
- <25> 예를 들어, $45.5\mu\text{m} \times 136.5\mu\text{m}$ 의 화소크기, 180ppi 이상의 해상도를 갖는 5인치 WVGA급 AMOLED의 경우, 단위면적당 $50\text{cd}/\text{m}^2$ 의 휘도를 발생하고, 상기 휘도를 발생하기 위해서 단위화소당 EL 소자에 적정량의 전류가 흐르는 것이 바람직하다. 이는 단위화소당 EL 소자에 흐르는 전류량이 한계치를 초과하게 되면, 한계치이상의 전류량에 의해 단위면적당 휘도가 크게 증가하고, 이에 따라 EL 소자의 수명이 급격히 감소하게 되기 때문이다.
- <26> 따라서, 소형 고해상도의 AMOLED에서 하나의 화소 즉, 하나의 EL 소자를 발광시키기 위해서는 단위면적당 소정 휘도를 내기 위한 적정 전류가 EL 소자를 통해 흐르는 것이 바람직하다.
- <27> 도 1은 일반적인 액티브 매트릭스 유기전계 발광표시장치에 있어서, 하나의 단위화소에 대한 등가회로도를 도시한 것이다. 도 1을 참조하면, 일반적인 유기전계 발광표시장치의 각 단위화소(100)는 스위칭 트랜지스터(140)와 구동 트랜지스터(145)의 2개의 p

형 박막 트랜지스터(TFT)와, 하나의 캐패시터(150) 및 하나의 유기전계 발광소자(EL 소자, 160)로 이루어진다.

<28> 상기 스위칭 트랜지스터(140)는 게이트라인(110)에 인가되는 스캔신호(Scan)에 구동되어 데이터라인(120)에 인가되는 데이터신호(data)를 전달하는 역할을 한다. 상기 구동 트랜지스터(145)는 상기 스위칭 트랜지스터(140)를 통해 전달되는 데이터신호(data)에 따라서 즉, 게이트와 소오스간의 전압차(V_{gs})에 의해서 EL소자(160)를 통해 흐르는 전류량을 결정한다. 상기 캐패시터(150)는 상기 스위칭 트랜지스터(140)를 통해 전달되는 데이터신호(data)를 한 프레임동안 저장하는 역할을 한다.

<29> 도 2는 종래의 유기전계 발광표시장치에 있어서, 구동 트랜지스터인 p형 박막 트랜지스터의 단면구조를 도시한 것이다.

<30> 도 2를 참조하면, 종래의 구동 트랜지스터는 절연기판(200)상의 버퍼층(210)상에 폴리실리콘막으로 된 반도체층(220)이 형성되고, 상기 반도체층(220)의 채널영역(221)에 대응하는 게이트 절연막(230)상에는 게이트전극(240)이 형성된다. 상기 게이트전극(240) 양측의 반도체층(220)에는 p형의 고농도 소오스/드레인영역(223), (225)이 형성되고, 소오스/드레인 전극(261), (266)이 콘택홀(251), (255)을 통해 상기 고농도 소오스/드레인 영역(223), (225)과 연결되도록 층간 절연막(250)상에 형성된다.

<31> 상기 TFT 는 저온폴리실리콘막을 이용하여 제조하기 때문에, 도 8에 도시된 바와같이 이동도가 크고 오프상태의 전류(off current)가 작기 때문에 전류구동방식의 AMOLED에 적합하다. 그러나, 상기 특성을 갖는 TFT를 소형 고해상도 AMOLED에 적용하게 되면, 화소크기가 작아지고 이에 따라 애노드전극의 크기가 작아지게 된다. 이에 따라 구동 트

랜지스터를 통해 EL소자로 흐르는 전류량이 커지고 휘도가 지나지게 높아지게 되고, 결국 단위면적당 전류밀도가 높아져서 EL소자의 수명이 감소하는 문제점이 있었다.

<32> 즉, 게이트전압(V_g)에 대한 드레인전류(I_d)와의 관계가 도시된 도 7을 참조하면, 종래의 유기전계 발광표시장치에서는, 소형 고해상도 표시장치에 적합한 온상태의 전류(on current) 90nA 보다 1-오더(order)정도 큰 1 μ A의 전류 또는 그이상의 전류가 구동 트랜지스터(145)를 통해 흐르는데, 소형 고해상도의 유기전계 발광표시장치에 적합한 휘도를 얻기 위해서는 구동트랜지스터의 온상태의 전류를 감소시켜주어야 하는 문제점이 있었다.

<33> 한편, 비정질 실리콘으로 된 박막 트랜지스터(a-Si TFT)를 AMOLED 에 적용하게 되면, EL 소자를 통해 EL소자로 흐르는 전류량은 감소시킬 수 있지만, 누설전류가 큰 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<34> 따라서, 본 발명은 상기한 바와같은 종래기술의 문제점을 해결하기 위한 것으로서, 소형 고해상도에 적합한 구동 트랜지스터를 구비한 액티브 매트릭스 유기전계 발광표시장치를 제공하는 데 그 목적이 있다.

<35> 본 발명의 다른 목적은 유기전계 발광소자에 흐르는 전류량을 제어하여 단위면적당 적절한 휘도를 얻을 수 있는 액티브 매트릭스 유기전계 발광표시장치를 제공하는 데 있다.

<36> 본 발명의 다른 목적은 구동 트랜지스터의 저항값을 변경하여 유기전계 발광소자에 흐르는 전류량을 제어함으로써, 소형 고해상도에 적합한 휘도를 얻을 수 있는 액티브 매트릭스 유기전계 발광표시장치에 관한 것이다,

【발명의 구성 및 작용】

<37> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 유기전계 발광소자와; 데이터 신호를 전달하기 위한 스위칭 트랜지스터와; 상기 데이터신호에 따라서 상기 유기전계 발광소자를 통해 일정량의 전류가 흐르도록 상기 유기전계 발광소자를 구동하는 구동 트랜지스터를 포함하며, 상기 구동 트랜지스터의 저항값을 변화시켜 상기 유기전계 발광소자를 통해 흐르는 전류를 제어하는 평판표시장치를 제공하는 것을 특징으로 한다.

<38> 상기 구동 트랜지스터는 게이트전극양측 반도체층에 형성된 고농도 소오스/드레인 영역과, 고농도 소오스/드레인영역과 게이트전극사이 또는 고농도 드레인영역과 게이트전극사이의 반도체층에 형성된 고저항영역을 구비한다.

<39> 상기 구동 트랜지스터는 멀티플 게이트구조의 게이트전극과; 상기 게이트전극의 양측 반도체층에 형성된 고농도 소오스/드레인영역과; 상기 게이트전극의 멀티플 게이트사이의 반도체층에 형성된 고저항영역을 구비한다.

<40> 상기 구동 트랜지스터는 서로 다른 저항값을 갖도록 서로 다른 기하학적 구조를 갖는 고농도 소오스/드레인영역을 구비하고, 상기 고농도 소오스/드레인영역중 상기 유기전계 발광소자에 연결되는 영역이 다른 영역에 비하여 큰 저항값을 갖는다.

<41> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

1020020061082

- <42> 도 3a 내지 도 3b는 본 발명의 제1실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터(145)의 단면 및 평면구조를 도시한 것이다. 도 3a는 도 3b의 3A-3A' 선에 따른 단면구조이다. 제1실시예에 따른 구동 트랜지스터(145)는 반도체층중 게이트전극과 소오스/드레인 영역사이에 고저항영역으로 오프셋영역을 형성하여 전류량을 조절하는 것이다.
- <43> 도 3a 및 도 3b를 참조하면, 그의 상부에 버퍼층(310)이 형성된 절연기판(300)상에 반도체층(320)이 형성되고, 상기 반도체층(320)의 채널영역(321)에 대응하는 게이트 절연막(330)상에 게이트전극(340)이 형성된다.
- <44> p형의 고농도 소오스/드레인 영역(323), (325)이 상기 게이트전극(340)의 양측으로부터 일정간격(d1) 떨어져 상기 반도체층(320)에 형성되며, 소오스/드레인 전극(361), (365)이 콘택홀(351), (355)을 통해 각각 상기 고농도 소오스/드레인 영역(323), (325)에 연결되도록 층간 절연막(350)상에 형성된다.
- <45> 상기 반도체층(320)중 상기 게이트전극(340)과 고농도 소오스/드레인 영역(323), (325)사이에는 고저항영역으로 오프셋영역(327), (329)이 형성된다. 상기 고저항영역(327), (329)은 상기 고농도 소오스/드레인영역(323), (325)과 동일도전형을 갖는 저농도 불순물이 도핑된 p형의 저농도 불순물영역이거나 또는 불순물이 도핑되지 않은 진성영역(intrinsic region)이다.
- <46> 제1실시예에서는 고저항영역(327), (329)이 게이트전극(340)과 소오스/드레인영역(323), (325)사이의 반도체층(320)에 각각 형성되었으나, 게이트전극(340)과 드레인영역(325)사이에만 고저항영역(329)을 형성할 수도 있다.

1020020061082

- <47> 제1실시예에 따른 구동 트랜지스터(145)는 게이트전극(340)과 고농도 드레인영역(325)사이의 고저항영역(329)을 형성하여 줌으로써, 구동 트랜지스터의 턴온시 드레인영역(325)의 저항값 즉, 노드(c)의 저항값을 종래의 구동 트랜지스터의 소오스/드레인영역(223), (225)의 저항값 또는 고농도 소오스영역(323)의 저항값인 노드(a)의 저항값보다 증가시켜 준다. 또한, 제1실시예에 따른 구동 트랜지스터는 게이트전극(340)과 고농도 소오스/드레인 영역(323), (325)사이의 각각 고저항영역(327), (329)을 형성하여 줌으로써, 구동 트랜지스터의 턴온시 드레인영역(325)의 저항값인 노드(c)의 저항값을 종래의 고농도 소오스/드레인영역(223), (225)보다 증가시켜 준다.
- <48> 그러므로, 본 발명의 구동 트랜지스터(145)의 드레인영역(325)을 통해 흐르는 전류(Id)가 감소하게 되어 EL소자(160)를 통해 흐르는 전류량도 감소되어진다. 이에 따라 단위화소당 EL 소자(160)를 통해 소형 고해상도의 평판표시소자에 적절한 휘도를 얻을 수 있게 된다.
- <49> 도 4a 및 도 4b는 본 발명의 제2실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 단면 및 평면구조를 도시한 것이다. 도 4a는 도 4b의 4A-4A' 선에 따른 단면구조이다. 제2실시예에 따른 구동 트랜지스터는 게이트전극을 멀티플 게이트로 형성하고, 멀티플 게이트사이의 반도체층에 고저항영역으로서 오프셋영역을 형성하여 전류량을 제어하는 것이다.
- <50> 도 4a 및 도 4b를 참조하면, 절연기판(400)의 버퍼층(410)상에 반도체층(420)이 형성되고, 상기 반도체층(420)의 채널영역(421)에 대응하는 게이트 절연막(430)상에 게이트전극(440)이 형성된다.

1020020061082

- <51> 상기 게이트전극(440) 양측의 반도체층(420)에 p형의 고농도 소오스/드레인 영역(423), (425)이 형성되고, 소오스/드레인전극(461), (465)이 콘택홀(451), (455)을 통해 상기 고농도 소오스/드레인영역(423), (425)에 연결되도록 층간 절연막(450)상에 형성된다.
- <52> 상기 게이트전극(440)은 제1채널영역(421)에 대응하여 형성된 제1게이트(441)와, 제2채널영역(422)에 대응하여 형성된 제2게이트(445)의 듀얼게이트로 이루어져, 상기 제1 및 제2게이트(441), (445)가 일정간격(d2)만큼 떨어져 형성된다. 상기 반도체층(420) 중 상기 제1게이트(441)와 상기 제2게이트(442)사이 즉, 제1채널영역(421)과 제2채널영역(422)사이의 부분은 오프셋영역(427)으로서 고저항영역으로 작용한다. 이때, 상기 고저항영역(427)은 상기 고농도 소오스/드레인 영역보다 낮은 저농도의 p형 불순물영역 또는 불순물이 도핑되지 않은 진성영역으로 이루어진다.
- <53> 제2실시예에 따른 구동트랜지스터는 게이트전극(440)을 듀얼게이트로 형성하고 듀얼 게이트사이의 반도체층(420)에 고저항영역(427)을 형성하여 줌으로써, 구동 트랜지스터(145)의 턴온시 구동 트랜지스터를 통해 EL 소자(160)로 흐르는 전류량을 감소시켜 준다.
- <54> 도 5a 및 도 5b는 본 발명의 제3실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 단면 및 평면구조를 도시한 것이다. 도 5a는 도 5b의 5A-5A'선에 따른 단면구조를 도시한 것이다. 제3실시예에 따른 구동 트랜지스터는 반도체층의 구조를 변경하여 멀티폴 게이트를 형성하고, 멀티폴 게이트사이에 고저항영역을 형성하여 EL 소자(160)를 통해 흐르는 전류량을 제어하는 것이다.

1020020061082

- <55> 도 5a 및 도 5b를 참조하면, 그의 상부에 버퍼층(510)이 형성된 절연기판(500)상에 반도체층(520)이 형성되고, 게이트전극(540)이 게이트 절연막(530)상에 형성된다. 상기 반도체층(520)은 바디부(520-1), (520-2)와 이를 연결하기 위한 연결부(520-3)로 이루어진 "ㄷ"자형의 구조를 갖으며, 상기 게이트전극(540)이 상기 반도체층(520)의 바디부(520-1), (520-2)와 교차하는 구조는 갖는다.
- <56> 상기 게이트전극(540)의 일측 상기 반도체층(520)의 각 바디부(520-1), (520-2)에는 p형의 고농도 소오스/드레인 영역(523), (525)이 형성되고, 소오스/드레인 전극(541), (545)이 콘택홀(551), (555)을 통해 상기 고농도 소오스/드레인 영역(523), (525)과 연결되도록 층간 절연막(550)상에 형성된다.
- <57> 상기 게이트 전극(520)은 상기 반도체층(520)의 제1채널영역(521)에 대응하는 부분이 제1게이트로 작용하고, 상기 제2채널영역(522)에 작용하는 부분이 제2게이트로 작용하여 듀얼 게이트를 갖는다. 상기 제1 및 제2게이트(541), (545)사이의 반도체층, 즉 연결부(520-3)가 고저항영역(527)으로 작용한다. 상기 고저항영역(527)은 p형의 저농도 불순물이 도핑된 저농도 불순물영역 또는 불순물이 도핑되지 않은 진성영역이다.
- <58> 제3실시예의 구동 트랜지스터에 있어서, 상기 반도체층(520)은 "ㄷ"형 구조가 아닌 지그재그형태로 형성하여 멀티플 게이트를 구현할 수도 있으며, p형의 고농도 소오스/드레인영역이 형성되지 않은 멀티플 게이트사이의 반도체층을 고저항영역으로 사용할 수도 있다.
- <59> 도 6a 및 도 6b는 본 발명의 제4실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 단면 및 평면구조를 도시한 것이다. 도 6a는 도 6b의 6A-6A' 선에 따른 단면구조를 도시한 것이다. 제4실시예에 따른 구동트랜지스터는 반도체층중 고농도

1020020061082

소오스영역의 폭에 대한 길이의 비($W1/L1$)보다 고농도 드레인영역의 폭에 대한 길이의 비($W2/L2$)를 감소시켜 상대적으로 드레인영역을 통해 흐르는 전류량을 감소시키고자 하는 것이다.

<60> 도 6a 및 도 6b를 참조하면, 절연기판(600)의 버퍼층(610)상에 반도체층(620)이 형성되고, 상기 반도체층(620)의 채널영역(621)에 대응하는 게이트 절연막(620)상에 게이트전극(640)이 형성된다. 상기 반도체층(620)에는 게이트전극(640)의 양측에 각각 p형의 고농도 소오스/드레인영역(623), (625)이 형성되고, 소오스/드레인전극(661), (665)이 콘택홀(651), (655)을 통해 상기 고농도 소오스/드레인영역(623), (625)과 각각 연결되도록 층간 절연막(650)상에 형성된다.

<61> 상기 고농도 드레인영역(625)은 상기 고농도 소오스영역(623)의 폭에 대한 길이의 비($W1/L1$)보다 폭에 대한 길이의 비($W2/L2$)가 작도록 형성되어진다. 이때, 상기 고농도 소오스영역(623)의 $W1/L1$ 보다 상기 고농도 드레인영역(625)의 $W2/L2$ 를 작게 하는 방법으로서는, 도 6b에 도시된 바와같이 $W1$ 보다 $W2$ 가 작고, $L1$ 보다 $L2$ 가 길도록 고농도 드레인영역(625)을 지그재그구조로 형성할 수도 있는데, 상기 고농도 드레인영역(625)이 지그재그구조로 반드시 한정되는 것이 아니라 상기 $W1 > W2$, $L1 < L2$ 조건을 만족하는 구조는 모두 가능하다. 또한, 상기 고농도 소오스영역(623)의 $W1/L1$ 보다 상기 고농도 드레인영역(625)의 $W2/L2$ 를 작게 하는 방법으로, $L1$ 과 $L2$ 는 같고 $W1$ 보다 $W2$ 를 작게 하거나 또는 $W1$ 과 $W2$ 는 같고 $L1$ 보다 $L2$ 를 길게 형성하는 구조 등 다양한 구조로 형성할 수 있다.

<62> 제4실시예에서는 구동 트랜지스터의 소오스영역(623)의 폭에 대한 길이의 비($W1/L1$)보다 드레인영역(624)의 폭에 대한 길이의 비($W2/L2$)가 상대적으로 작은 값을 갖

도록 소오스/드레인 영역(623), (625)의 기하학적인 구조를 변경시켜 줌으로써, 구동 트랜지스터의 드레인영역(625)의 저항값을 증가시켜 줌으로써, EL 소자(160)를 통해 흐르는 전류량을 제어하는 것이다.

<63> 제1 내지 제4실시에에 따른 액티브 매트릭스 유기전계 발광표시장치는 스위칭 트랜지스터(140)는 폴리실리콘 TFT 로 형성하여 고속 스위칭동작을 하도록 하고, 구동 트랜지스터(145)는 폴리실리콘 TFT 로 형성하고 반도체층에 고저항영역하거나, 게이트전극을 멀티플 게이트로 구현하거나, 또는 고농도 드레인영역의 기하학적인 구조를 변경하여 저항값을 증가시켜 구동 트랜지스터의 온전류를 감소시켜 줌으로써, 구동 트랜지스터(145)를 통해 EL 소자(160)로 흐르는 전류량을 제어한다.

【발명의 효과】

<64> 상기한 바와 같은 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 구동 트랜지스터의 드레인영역에 고저항영역을 형성하거나, 드레인영역의 기하학적인 구조를 변경하거나, 또는 구동 트랜지스터의 게이트를 멀티플 게이트로 형성하여 멀티플 게이트 사이에 고저항영역을 형성하여 줌으로써, 구동 트랜지스터를 통해 EL소자로 흐르는 전류량을 제어하여 줄 수 있을 뿐만 아니라, 전류량 제어에 따라 소형 고해상도 평판표시장치에 적합한 휘도를 발생하여 수명을 연장시킬 수 있다.

<65> 또한, 각 화소당 구동 트랜지스터가 차지하는 면적을 증가시키지 않고 유기전계 발광소자에 흐르는 전류량만을 조절하여 줌으로써, 개구율의 감소문제를 해결하고, 신뢰성을 향상시킬 수 있는 이점이 있다.

1020020061082

<66> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

유기전계 발광소자와;
데이터 신호를 전달하기 위한 스위칭 트랜지스터와;
상기 데이터신호에 따라서 상기 유기전계 발광소자를 통해 일정량의 전류가 흐르도록 상기 유기전계 발광소자를 구동하는 구동트랜지스터를 포함하며,
상기 구동 트랜지스터의 저항값을 변화시켜 상기 유기전계 발광소자를 통해 흐르는 전류를 제어하는 것을 특징으로 하는 평판표시장치.

【청구항 2】

제1항에 있어서, 상기 구동 트랜지스터는 게이트전극양측 반도체층에 형성된 고농도 소오스/드레인영역과, 고농도 소오스/드레인영역과 게이트전극사이 또는 고농도 드레인영역과 게이트전극사이의 반도체층에 형성된 고저항영역을 구비하는 것을 특징으로 하는 평판표시장치.

【청구항 3】

제2항에 있어서, 상기 고저항영역은 상기 고농도 소오스/드레인영역과 동일도전형 을 갖는 저농도 불순물이 도핑된 저농도 불순물영역 또는 불순물이 도핑되지 않은 진성 영역인 것을 특징으로 하는 평판표시장치.

【청구항 4】

제1항에 있어서, 상기 구동 트랜지스터는 멀티플 게이트구조의 게이트전극과; 상기 게이트전극의 양측 반도체층에 형성된 고농도 소오스/드레인영역과; 상기 게이트전극의

멀티플 게이트사이의 반도체층에 형성된 고저항영역을 구비하는 것을 특징으로 하는 평판표시장치.

【청구항 5】

제4항에 있어서, 상기 고저항영역은 상기 고농도 소오스/드레인영역과 동일 도전형을 갖는 저농도 불순물이 도핑된 저농도 불순물영역 또는 불순물이 도핑되지 않은 진성영역인 것을 특징으로 하는 평판표시장치.

【청구항 6】

제1항에 있어서, 상기 구동 트랜지스터는 서로 다른 저항값을 갖도록 서로 다른 기하학적 구조를 갖는 고농도 소오스/드레인영역을 구비하고, 상기 고농도 소오스/드레인영역중 상기 유기전계 발광소자에 연결되는 영역이 다른 영역에 비하여 큰 저항값을 갖는 것을 특징으로 하는 평판표시장치.

【청구항 7】

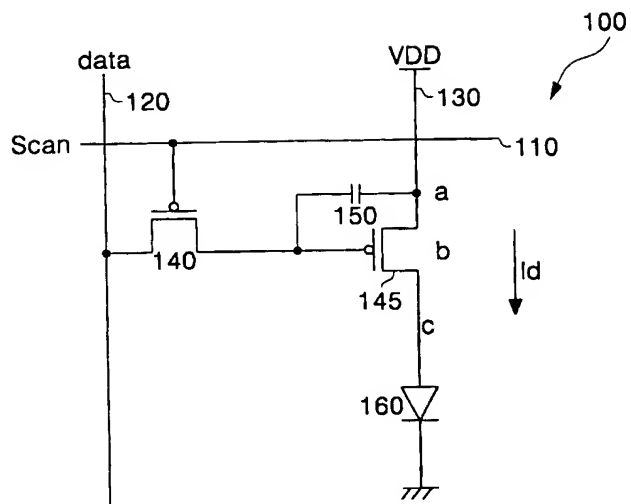
제6항에 있어서, 상기 구동 트랜지스터는 상기 고농도 소오스/드레인영역중 상기 EL 소자에 연결되는 영역이 다른 영역과 폭은 같고 길이는 더 길거나, 또는 길이는 같고 폭은 더 적은 것을 특징으로 하는 평판표시장치.

【청구항 8】

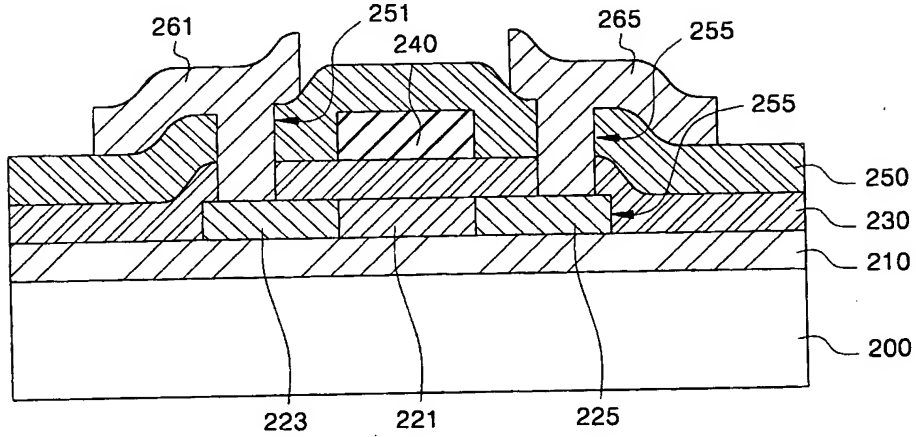
제6항에 있어서, 상기 구동 트랜지스터는 상기 고농도 소오스/드레인영역중 상기 EL 소자에 연결되는 영역이 다른 영역보다 폭은 작고 길이는 길은 것을 특징으로 하는 평판표시장치.

【도면】

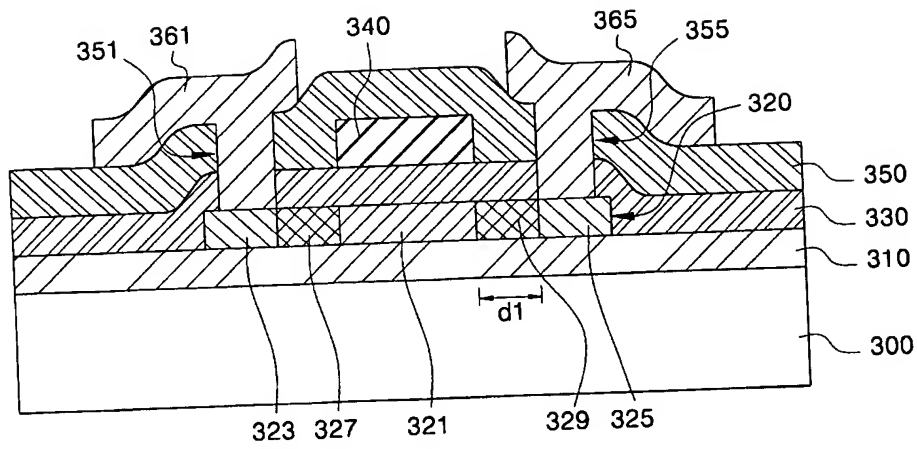
【도 1】



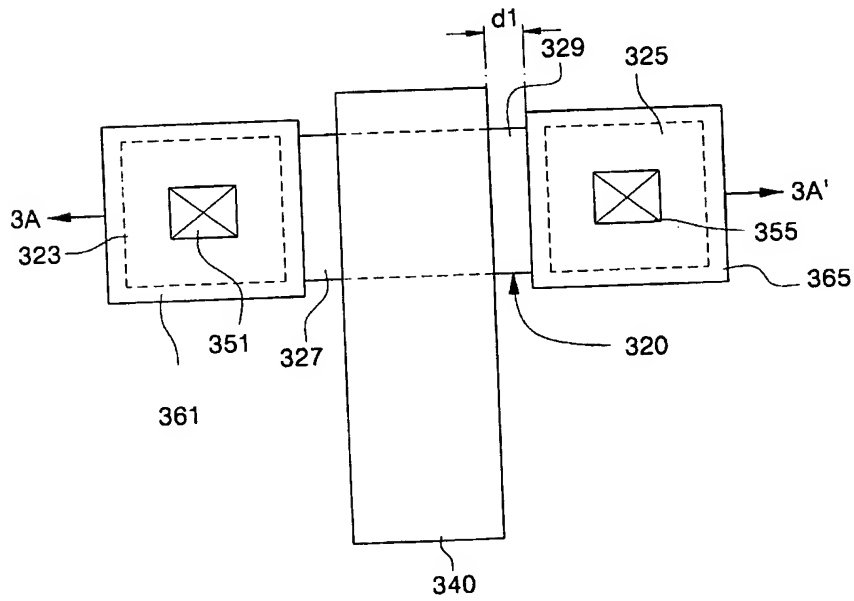
【도 2】



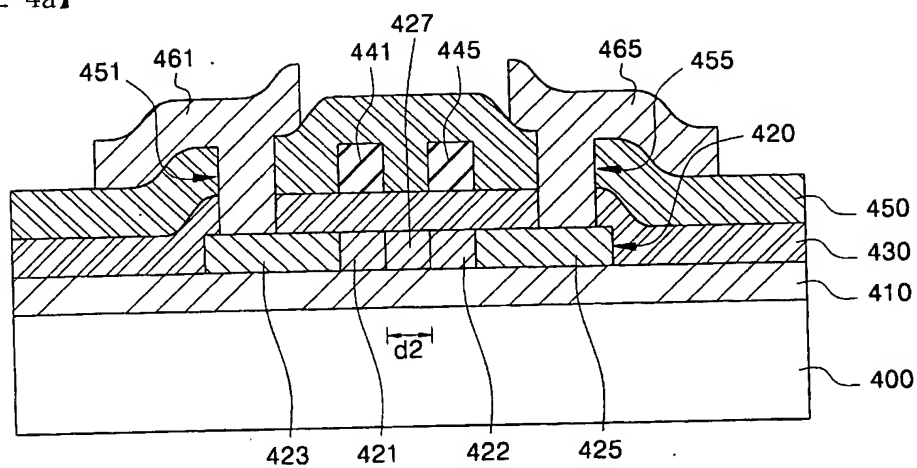
【도 3a】



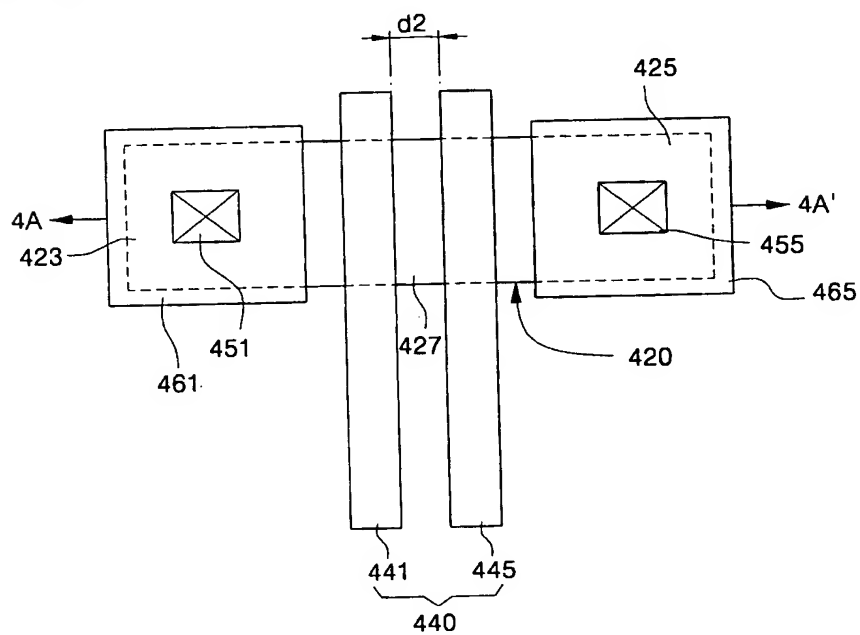
【도 3b】



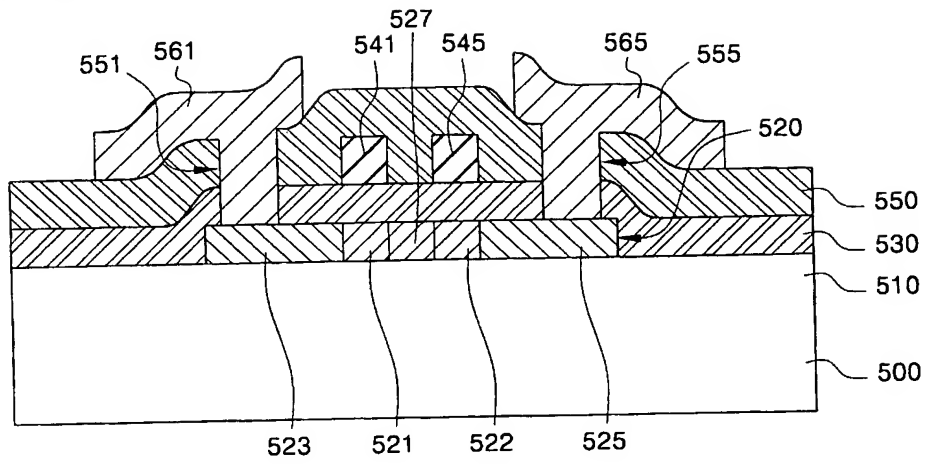
【도 4a】



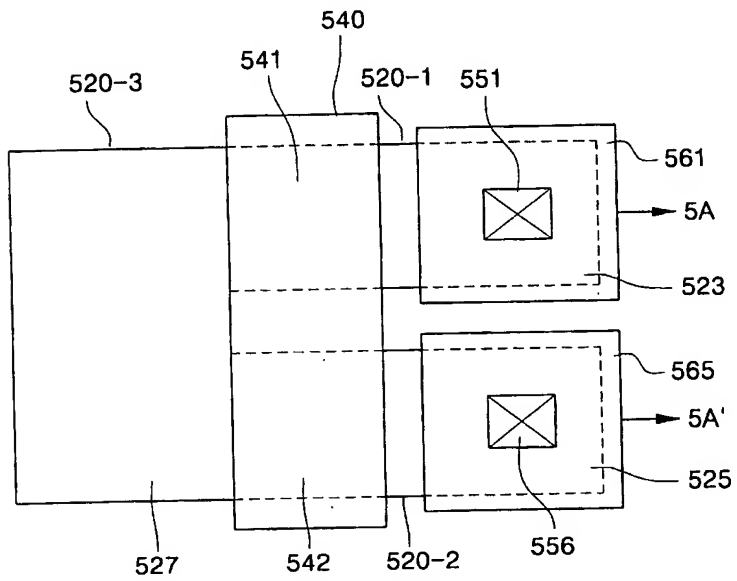
【도 4b】



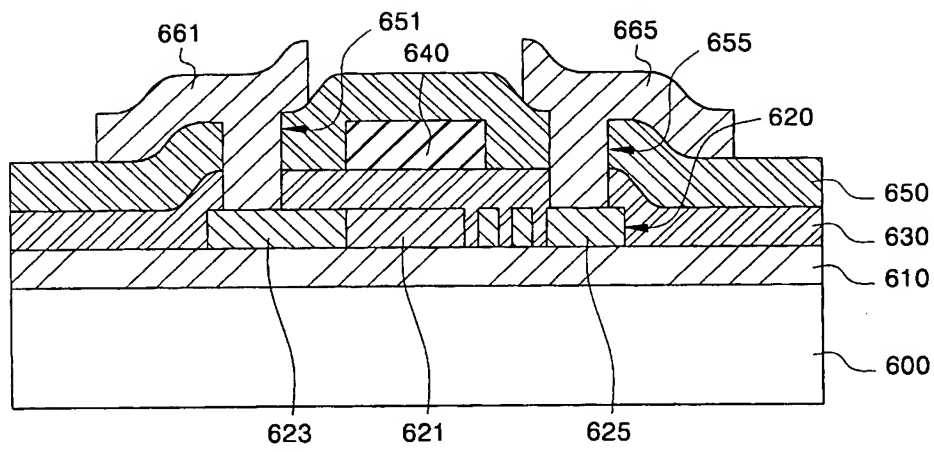
【도 5a】



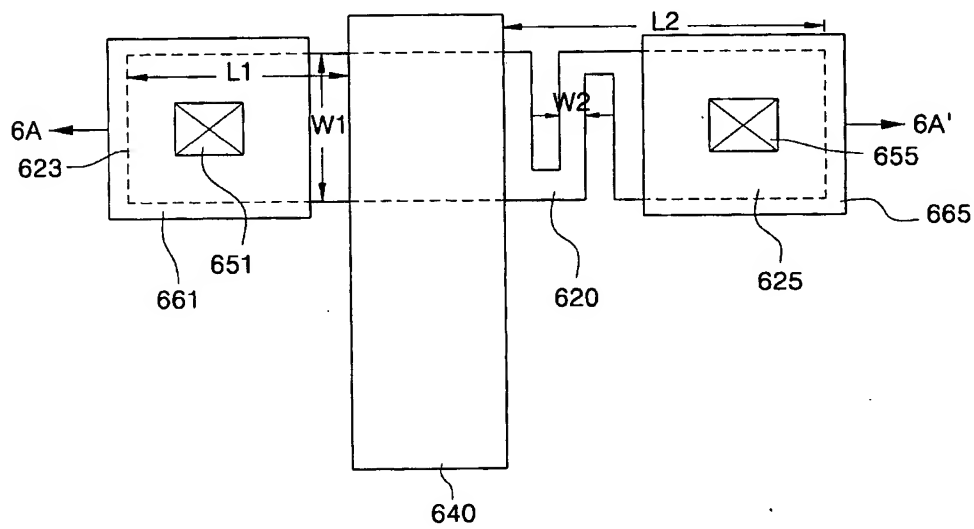
【도 5b】



【도 6a】



【도 6b】



【도 7】

